

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) . Int. Cl. 7
G02F 1/133

(11) 공개번호 특허 2002-0017434
(43) 공개일자 2002년03월07일

(21) 출원번호 10-2000-0050770
(22) 출원일자 2000년08월30일

(71) 출원인 엘지.필립스 엘시디 주식회사
구본준, 론 위라하디락사
서울 영등포구 여의도동 20번지

(72) 발명자 하용민
경상북도구미시도량2동77파크맨션105동1001호

(74) 대리인 김용인
심창섭

심사청구 : 없음

(54) 액정표시장치 및 그 구동방법

요약

본 발명은 데이터 라인간의 신호 커플링을 방지하여 화질을 개선시키고, 크로스 토크를 방지할 수 있는 액정표시장치 및 그 구동방법을 제공하기 위한 것으로, 본 발명의 액정표시장치는 제 1 기판과 제 2 기판, 그 사이에 액정이 봉입된 액정표시장치에 있어서, 상기 제 1 기판상에 교차 배치되는 복수개의 게이트 라인들과 데이터 라인들, 상기 게이트 라인들을 구동시키는 게이트 구동부, 상기 데이터 라인들의 1차 프리차지 및 영상신호의 공급을 담당하는 소오스 구동부, 상기 프리차지된 데이터 라인을 2차적으로 프라차지시키는 프리차지 회로부를 포함하여 구성되고, 본 발명의 액정표시장치의 구동방법은 액정표시장치의 데이터 라인 프리차지 방법에 있어서, 상기 데이터 라인들을 단락시켜 1차 프라차지시키는 제 1 단계와, 상기 1차 프라차지된 전압보다 작은 프리차지 전압과 큰 프리차지 전압을 수평주사라인 활성화시마다 각 데이터 라인에 교번하여 인가하는 것에 의해 2차 프리차지시키는 제 2 단계를 포함하여 이루어진다.

대표도
도 5

색인어
프리차지 (precharge), 신호 커플링 (coupling)

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 구성도

도 2는 종래 액정표시장치에 따른 패널의 구성도

도 3은 종래 액정표시장치의 구동방법을 설명하기 위한 구동파형도

도 4는 종래 액정표시장치 및 그 구동방법에 따른 데이터 라인과 액정 커패시터간의 커패시턴스 발생을 보여주는 등가 회로도

도 5는 본 발명 제 1 실시예에 따른 액정표시장치의 구성도

도 6은 본 발명 제 2 실시예에 따른 액정표시장치의 프리차지 회로부의 구성도

도 7은 본 발명 제 2 실시예에 따른 액정표시장치의 구성도

도 8a 내지 8b는 본 발명 제 2 실시예에 따른 액정표시장치의 구동방법을 설명하기 위한 구동 파형도

도 9는 본 발명 제 3 실시예에 따른 액정표시장치의 프리차지 회로부의 구성도

도 10은 본 발명 제 3 실시예에 따른 액정표시장치의 구성도

도 11a 내지 11b는 본 발명 제 3 실시예에 따른 액정표시장치의 구동방법을 설명하기 위한 구동 파형도

도면의 주요부분에 대한 부호의 설명

51,61,71 : 화소부 53,63,73 : 게이트 구동부

55,65,75 : 소오스 구동부 57,67,77 : 프리차지 회로부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판 디스플레이(Display) 장치에 관한 것으로, 특히 멀티-프리차지(multi-precharge)를 통해 화질을 개선시키고, 크로스 토크(cross-talk)를 방지할 수 있는 액정표시장치 및 그 구동방법에 관한 것이다.

일반적으로, 액정표시장치는 두 장의 유리기판을 대향시켜 그 사이에 액정을 봉입한 것으로, 하판(Bottom plate)에는 데이터 라인과 게이트 라인이 매트릭스 형태로 배치되고, 각각의 교차점에 박막 트랜지스터와 화소 전극이 배치된다.

상판(Top plate)에는 액정에 공통 전압을 인가하기 위한 공통 전극과, 색상을 표현하기 위한 R(적), G(녹), B(청)의 칼라필터층이 배치된다.

이와 같이 구성된 하판과 상판 사이에 액정을 주입하고 이를 편광판에 끼워 백색광을 입사시키면 투과형의 액정표시장치가 된다.

여기서, 하판 및 상판을 보다 자세히 설명하면 다음과 같다.

도 1에 도시된 바와 같이, 하판은 유리 또는 석영 등의 투명 기판(1)에 복수개의 게이트 라인(12)들이 형성되고, 상기 게이트 라인(12)과 교차하는 방향으로 복수개의 데이터 라인(13)들이 형성된다. 그리고 각각의 데이터 라인(13)과 게이트 라인(12)에 의해 화소 영역이 정의되며, 화소 영역에는 화소 전극이 배치되고, 데이터 라인(13)과 게이트 라인(12)의 교차부위에는 박막 트랜지스터가 형성된다.

상판은 투명기판(11a)에 상기 하판에 형성된 화소 전극을 제외한 부분에서의 빛의 투과를 차단하기 위해 블랙매트릭스층(14)이 망사형으로 형성되고, 각 블랙매트릭스층 사이에는 색상을 표현하기 위한 칼라필터층(15)이 형성되며, 상기 칼라필터층 및 블랙매트릭스층에 걸쳐 공통 전극(16)이 형성된다.

이하, 첨부된 도면을 참조하여 종래 기술에 따른 액정표시장치를 설명하기로 한다.

도 2는 종래 기술에 따른 액정표시장치의 패널 구조를 도시한 것으로, 구동회로부와 화소부가 일체형으로 구성된다.

즉, 도 2에 도시된 바와 같이, 복수개의 게이트 라인들과 복수개의 데이터 라인들이 교차 배치되고, 각각의 교차점에 박막 트랜지스터 및 액정커패시터를 갖는 복수개의 화소들로 구성된 화소부(21)와, 상기 게이트 라인들에 순차적으로 구동신호를 인가하는 게이트 구동회로부(23)와, 다수의 데이터 라인을 한 쌍으로 하여 복수의 데이터 라인쌍을 구성하고, 각각의 데이터 라인쌍에 영상신호를 인가하는 소오스 구동회로부(25)와, 상기 데이터 라인들을 프리차지시키는 프리차지(precharge) 회로부(27)로 구성된다.

여기서, 상기 프리차지부(27)는 프리차지 전압단(V_p)과 각 데이터 라인들 사이에 트랜지스터들로 이루어지는 스위칭부(27a)를 구성하고, 상기 트랜지스터의 게이트에 인가되는 프리차지 컨트롤 신호(C_p)에 의해 데이터 라인들을 일정 레벨로 프리차지 시킨다.

상기 소오스 구동회로부(25)는 n 개의 데이터 라인들을 한 쌍으로 하여 복수의 데이터 라인쌍을 구성하고, 각 데이터 라인쌍마다 영상신호선(S_1, S_2, \dots, S_n)이 연결되어 n 개의 컨트롤 신호(C_1, C_2, \dots, C_n)에 의해 영상신호를 해당 데이터 라인쌍으로 인가한다.

이와같이 구성된 종래 액정표시장치의 구동방법을 도 3에 도시된 구동파형도를 참조하여 설명하면 다음과 같다.

도 3에 도시된 바와 같이, 게이트 구동신호가 인가되면, 프리차지 회로부(27)는 영상신호의 포지티브 필드(Positive field)와 네가티브 필드(Negative field)의 중간 정도의 전압으로 각 데이터 라인을 일정 레벨로 프리차지 시킨다.

이후, 소오스 구동회로부(25)의 각 데이터 라인쌍을 순차적으로 활성화시켜 데이터 라인에 영상신호를 인가한다. 여기서, 상기 컨트롤 신호(C_1, C_2, \dots, C_n)들은 순차적으로 활성화되는데, 컨트롤 신호 C_1 이 활성화되면 나머지 컨트롤 신호(C_2, C_3, \dots, C_n)들은 비활성화 상태를 유지하고, C_1 이 활성화 상태에서 비활성화 상태로 천이되면 컨트롤 신호 C_2 만이 활성화 상태로 천이된다.

이와 같은 과정을 통해 각 쌍의 데이터 라인들이 순차적으로 활성화되어 해당 데이터 라인에 영상신호가 인가된다.

여기서, 포지티브 필드의 영상신호는 대략 6~10V의 범위를 갖고, 네가티브 필드의 영상신호는 대략 1~5V의 범위를 갖는다고 가정하면, 데이터 라인은 5.5V 정도의 레벨로 프리차지 시킨다.

이때, 데이터 라인에 영상신호가 순차적으로 인가되기 때문에 컨트롤 신호 C_1 의 활성화시, 해당 데이터 라인에 영상신호가 충전된 후 다시 컨트롤 신호 C_1 이 비활성화 상태로 천이됨과 동시에 C_2 가 활성화 상태로 천이될 경우, 기생 커패시턴스가 발생하게 된다.

이러한 기생 커패시턴스는 데이터 라인에 충전된 영상신호의 왜곡을 유발하게 되어 결국, 컨트롤 신호 C_n 이 활성화될 경우, 해당 데이터 라인에 충전되는 영상신호는 매우 심하게 왜곡되는 현상이 나타난다.

결국, 영상신호의 왜곡은 액정 커패시터와 인접한 데이터 라인과의 기생 커패시턴스에 기인한 것이므로, 상기 기생 커패시턴스를 줄여주지 않으면 안된다. 그러나 기생 커패시턴스를 줄이는데는 한계가 있는데, 이는 개구율과 밀접한 관계가 있기 때문이다.

이를 보다 상세하게 설명하면 다음과 같다.

도 4는 종래 액정표시장치 및 그 구동방법에 따른 데이터 라인과 액정 커패시터간의 커패시턴스 발생을 보여주는 등가 회로도이다.

도 4에 도시된 바와 같이, 단위 화소내 액정 커패시터와 인접한 데이터 라인들간에는 커패시턴스가 발생된다. 즉, m 번째 데이터 라인(D_m)에 영상신호가 충전된 후, 다시 $m+1$ 번째 데이터 라인(D_{m+1})에 영상신호가 인가될 경우, 액정 커패시터(C_{LC})와 m 번째 데이터 라인간의 기생 커패시턴스(C_{dpm})에 의해 커플링이 발생하고 $m+1$ 번째 데이터 라인과 액정 커패시터(C_{LC}) 간에도 기생 커패시턴스(C_{dpm+1})에 의해 커플링이 발생한다.

발명이 이루고자 하는 기술적 과제

이와 같은 종래 액정표시장치 및 그 구동방법은 데이터 라인의 영상신호에 의해 액정 커패시터와 인접한 데이터 라인간의 기생 커패시턴스에 기인하는 커플링이 발생한다.

또한, 커플링에 의한 영향은 수직 크로스 토크(Cross talk)로 나타나게 된다. 즉, 화면 패턴에 차이가 있을 경우에는 액정 커패시터의 값이 바뀌고, 기생 커패시턴스에 의한 커플링 전압이 바뀌기 때문에 수직 크로스 토크로 연결되는 단점이 있다.

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 데이터 라인간의 신호 커플링을 방지하여 화질을 개선시키고, 크로스 토크를 방지할 수 있는 액정표시장치 및 그 구동방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 액정표시장치는 제 1 기판과 제 2 기판, 그 사이에 액정이 봉입된 액정표시장치에 있어서, 상기 제 1 기판상에 교차 배치되는 복수개의 게이트 라인들과 데이터 라인들, 상기 게이트 라인들을 구동시키는 게이트 구동부, 상기 데이터 라인의 1차 프리차지 및 영상신호의 공급을 담당하는 소오스 구동부, 상기 프리차지된 데이터 라인을 2차적으로 프리차지시키는 프리차지 회로부를 포함하여 구성되고, 본 발명의 액정표시장치의 구동 방법은 액정표시장치의 데이터 라인 프리차지 방법에 있어서, 상기 데이터 라인들을 단락시켜 1차 프리차지시키는 제 1 단계와, 상기 1차 프리차지된 전압보다 작은 프리차지 전압과 큰 프리차지 전압을 수평주사라인 활성화시마다 각 데이터 라인에 교번하여 인가하는 제 2 단계를 포함하여 이루어지는 것을 특징으로 한다.

이하, 본 발명의 액정표시장치 및 그 구동방법을 첨부된 도면을 참조하여 설명하기로 한다.

제 1 실시예

도 5는 본 발명 제 1 실시예에 따른 액정표시장치의 구성도이다.

도 5에서와 같이, 교차 배치되는 복수개의 게이트 라인($G1, G2, \dots, G_n$)들 및 데이터 라인($D1, D2, \dots, D_n$)들을 갖고 각 교차점에 박막트랜지스터(TFT) 및 액정커패시터(C_{LC})가 구성되는 화소부(51), 상기 게이트 라인들에 순차적으로 구동신호를 인가하는 게이트 구동부(53), 다수의 데이터 라인을 한 쌍으로 하여 데이터 라인쌍들을 구성하고 각각의 데이터 라인쌍에 순차적으로 영상신호를 인가하는 영상신호선($S1, S2, \dots, S_n$)을 구비한 소오스 구동부(55), 인접한 데이터 라인들에 서로 다른 프리차지 전압을 공급하여 2차 프리차지시키는 프리차지 회로부(57)를 포함하여 구성된다.

여기서, 상기 프리차지 회로부(57)는 제 1, 제 2 프리차지 전압단(V_{p1}, V_{p2})을 구비하며, 제 1 프리차지 전압단(V_{p1})의 전압을 홀수번째 데이터 라인($D1, D3, \dots$)으로 스위칭하는 제 1 스위칭부(57a)와, 상기 제 2 프리차지 전압단(V_{p2})의 전압을 짝수번째 데이터 라인($D2, D4, D6, \dots$)으로 스위칭하는 제 2 스위칭부(57b)로 구성된다.

상기 각각의 데이터 라인쌍에 속하는 데이터 라인들은 박막트랜지스터들에 의해 해당 영상신호선과 공통으로 스위칭된다. 예를 들어, 첫번째 데이터 라인쌍은 영상신호선 $S1$ 과 스위칭되고, 두번째 데이터 라인쌍은 영상신호선 $S2$ 와 스위칭된다. 이때, 데이터 라인들과 영상신호선과의 스위칭 여부는 스위칭 컨트롤 신호($C1, C2, \dots, C_n$)에 의해 결정된다.

한편, 상기 소오스 구동부(55)는 데이터 라인쌍에 상응하여 영상신호선을 구비하며, 각각의 영상신호선들은 외부적인 제어에 의해 서로 단락(Short)시키거나 오픈(Open)시킬 수 있다.

따라서, 상기 영상신호를 데이터 라인에 인가하기 이전에 상기 영상신호선들을 서로 단락시키면 화소부(51)내 모든 데이터 라인들이 서로 단락 상태가 된다.

이때, 단락된 영상신호선에 특정 레벨의 프리차지 전압을 인가하면, 모든 데이터 라인들이 특정 레벨로 프리차지 된다.

이를 위해 단락된 영상신호선에 특정 레벨의 프리차지 전압을 인가하기 위한 프리차지 전압 인가부(도시되지 않음)를 구성하여야 한다.

그리고 상기 제 1, 제 2 스위칭부(57a, 57b)는 박막트랜지스터로 구성되며, 프리차지 컨트롤 신호(C_p)에 의해 동작 여부가 결정된다. 이때, 제 1 스위칭부(57a)와 제 2 스위칭부(57b)는 프리차지 컨트롤 신호를 공통으로 사용하거나 또는 별도로 사용할 수 있다.

이와 같이 구성된 본 발명 제 1 실시예에 따른 액정표시장치의 구동방법을 설명하면 다음과 같다.

먼저, 데이터 라인들을 1차적으로 프리차지시키기 위해 스위칭 컨트롤 신호($C1, C2, \dots, C_n$)들을 동시에 활성화시켜 데이터 라인들과 영상신호선($S1, S2, \dots, S_n$)들을 전기적으로 연결시킨다.

그리고 영상신호선($S1, S2, \dots, S_n$)들을 서로 단락시킨 후, 특정 레벨의 프리차지 전압을 인가한다. 따라서, 모든 데이터 라인들이 상기 특정 레벨로 프리차지된다. 이때, 상기 특정 레벨의 프리차지 전압은 포지티브 필드시 영상신호의 전압과 네가티브 필드시 영상신호의 전압과의 중간 정도의 전압이 되도록 한다. 예를 들어, 포지티브 필드시 영상신호의 전압이 6~10V라고 가정하고, 네가티브 필드시 전압이 1~5V라고 가정하면(액정의 종류에 따라 상기 전압 범위는 가변됨), 상기 특정 레벨의 프리차지 전압은 약 5.5V가 되도록 한다.

이와 같이, 소오스 구동부(55)의 영상신호선($S1, S2, \dots, S_n$)들을 단락시킨 후, 특정 레벨의 프리차지 전압을 인가하여 1차적으로 데이터 라인들을 프리차지시킨 후, 상기 스위칭 컨트롤 신호($C1, C2, \dots, C_n$)를 비활성화시켜 데이터 라인들과 영상신호선($S1, S2, \dots, S_n$)들을 전기적으로 분리시킨다.

이어서, 프리차지 회로부(57)를 이용하여 2차적으로 데이터 라인들을 프리차지시킨다. 즉, 현재 데이터 라인들은 5.5V로 프리차지 되어 있는 상태이기 때문에, 포지티브 필드시에는 상기 제 1 프리차지 전압단(V_{p1})의 전압이 2~3V가 되도록 조절하고, 제 2 프리차지 전압단(V_{p2})의 전압은 7~8V가 되도록 조절한다.

다시 말해서, 포지티브 필드시 홀수번째 데이터 라인들을 2~3V로, 짝수번째 데이터 라인들은 7~8V로 프리차지시킨 후, 첫번째 게이트 라인($G1$)과 스위칭 컨트롤 신호($C1, C2, \dots, C_n$)를 활성화시키면, 짝수번째 데이터 라인($D2, D4, D6, \dots$)에는 영상신호가 실리게 된다. 그리고 네가티브 필드시에는 홀수번째 데이터 라인($D1, D3, D5, \dots$)에 영상신호가 실리게 된다.

따라서, 포지티브 펄드시 영상신호 전압이 6~10V라고 가정할 때, 짝수번째 데이터 라인의 전압변화(ΔV)는 2~3V에 불과하다. 그리고 네가티브 펄드시 영상신호의 전압이 1~5V라고 가정할 때, 홀수번째 데이터 라인의 전압 변화 역시 2~3V에 불과하다.

이후, 두번째 게이트 라인을 활성화시켜 해당 화소로 영상신호를 저장하기 위해서는 상기 제 1 프리차지 전압단(Vp1)의 전압과 제 2 프리차지 전압단(Vp2)의 전압을 서로 바꾸어 주어야 한다.

이는 대부분의 액정표시장치가 도트 인버전(Dot Inversion) 방식으로, 게이트 라인이 활성화될 때마다 영상신호의 극성이 바뀌기 때문이다.

따라서, 게이트 라인이 활성화될 때마다 제 1 프리차지 전압단(Vp1)과 제 2 프리차지 전압단(Vp2)의 전압을 바꾸어 줄 필요가 있으며, 이는 간단한 컨트롤 신호에 의한 스위칭 동작으로 가능하다.

결과적으로, 본 발명의 제 1 실시예에 따르면, 영상신호선(S1, S2, ..., Sn)들을 단락시켜 데이터 라인들을 1차적으로 프리차지시킨 후, 다시 한번 프리차지 회로부를 이용하여 2차 프리차지 시킴으로 데이터 라인에서의 전압 변화의 폭을 매우 작게 할 수 있어 인접한 데이터 라인에 영향을 주지 않게 된다.

따라서, 데이터 라인의 전압 변화에 의한 신호 왜곡을 방지할 수 있다.

제 2 실시예

본 발명의 제 2 실시예는 전술한 제 1 실시예에서 제시된 프리차지 회로부의 구성을 변형한 것이다.

즉, 본 발명 제 2 실시예에 따른 프리차지 회로부는 포지티브 펄드시 프리차지 전압을 스위칭하는 스위칭소자와 네가티브 펄드시 프리차지 전압을 스위칭하는 스위칭소자를 각각의 데이터 라인에 대해 병렬적으로 구성하였다.

이와 같이, 프리차지 회로부를 구성하므로써, 각 게이트 라인이 활성화될 때마다 각각의 데이터 라인에 실리는 영상신호의 극성이 바뀌더라도 상기 스위칭소자들을 적절히 컨트롤하는 것에 의해 외부에서 별도로 제 1 프리차지 전압단의 전압과 제 2 프리차지 전압단의 전압을 바꾸어 주지 않아도 된다.

이에, 본 발명의 제 2 실시예에 따른 프리차지 회로부의 구성을 도 6에 도시하였다.

도 6에 도시한 바와 같이, 프리차지 회로부(67)는 입력 소스는 다르지만 출력단이 공통으로 연결된 제 1 스위칭소자(67a)와 제 2 스위칭소자(67b)를 각 데이터 라인마다 연결한 스위칭부(67_1, 67_2, ..., 67_n)들로 구성한다.

이때, 홀수번째 데이터 라인에는 제 1 프리차지 전압(Vp1)이 제 1 프리차지 컨트롤 신호(Cp1)에 따라 제 1 스위칭소자(67a)를 통해 스위칭되거나 제 2 프리차지 전압(Vp2)이 제 2 프리차지 컨트롤 신호(Cp2)에 따라 제 2 스위칭소자(67b)를 통해 스위칭된다.

짝수번째 데이터 라인에는 제 2 프리차지 전압(Vp2)이 제 1 프리차지 컨트롤 신호(Cp1)에 따라 제 1 스위칭소자(67a)를 통해 스위칭되거나 제 1 프리차지 전압(Vp1)이 제 2 프리차지 컨트롤 신호(Cp2)에 따라 제 2 스위칭소자(67b)를 통해 스위칭된다.

여기서, 상기 제 1 프리차지 전압단(Vp1)의 전압은 2~3V의 범위이고, 제 2 프리차지 전압단(Vp2)의 전압은 7~8V의 범위를 갖는다(단, 액정의 종류에 따라 상기 전압범위는 가변됨).

도 7은 도 6의 프리차지 회로를 이용한 본 발명 제 2 실시예에 따른 액정표시장치의 구성도이다.

도 7에서와 같이, 교차 배치되는 복수개의 게이트 라인(G_1, G_2, \dots, G_n)들 및 데이터 라인(D_1, D_2, \dots, D_n)들을 갖고, 각 교차점에 박막트랜지스터(TFT) 및 액정커패시터(C_{LC})가 구성되는 화소부(61), 상기 게이트 라인들에 순차적으로 구동신호를 인가하는 게이트 구동부(63), 다수의 데이터 라인을 한 쌍으로 하여 데이터 라인쌍들을 구성하고, 각각의 데이터 라인쌍에 순차적으로 영상신호를 인가하는 영상신호선(S_1, S_2, \dots, S_n)을 구비한 소오스 구동부(65), 각 데이터 라인마다 연결되며 고레벨의 프리차지 전압과 저레벨의 프리차지 전압을 교번하여 상기 데이터 라인으로 스위칭하는 스위칭소자들로 구성된 프리차지 회로부(67)를 포함한다.

여기서, 상기 프리차지 회로부(67)는 제 1, 제 2 프리차지 전압단(V_{p1}, V_{p2})을 구비하며, 제 1, 제 2 프리차지 컨트롤 신호(C_{p1}, C_{p2})에 따라 상기 제 1 프리차지 전압단(V_{p1})의 전압과 제 2 프리차지 전압단(V_{p2})의 전압 중 어느 하나를 데이터 라인으로 교번하여 스위칭한다.

여기서, 홀수번째 데이터 라인과 짝수번째 데이터 라인은 서로 다른 전압으로 프리차지된다.

상기 프리차지 회로부(67)는 각각의 데이터 라인마다 병렬로 연결된 제 1 스위칭소자(67a)와 제 2 스위칭소자(67b)로 구성된 스위칭부(67_1, 67_2, ..., 67_n)를 포함하며, 상기 스위칭소자들은 동일 도전형의 박막트랜지스터로 구성한다.

상기 각각의 데이터 라인쌍에 속하는 데이터 라인들은 박막트랜지스터들에 의해 해당 영상신호선과 공통으로 스위칭된다. 예를 들어, 첫번째 데이터 라인쌍은 영상신호선 S_1 과 스위칭되고, 두번째 데이터 라인쌍은 영상신호선 S_2 와 스위칭된다. 이때, 데이터 라인들과 영상신호선과의 스위칭 여부는 스위칭 컨트롤 신호(C_1, C_2, \dots, C_n)에 의해 결정된다.

소오스 구동부(65)는 데이터 라인쌍에 상응하여 영상신호선(S_1, S_2, \dots, S_n)을 구비하며, 각각의 영상신호선들은 외부적인 제어에 의해 서로 단락(short)시키거나 오픈(Open)시킬 수 있다.

따라서, 상기 영상신호를 데이터 라인에 인가하기 이전에 상기 영상신호선들을 서로 단락시키면 화소부(61)내 모든 데이터 라인들이 서로 단락 상태가 된다.

이때, 단락된 영상신호선에 특정 레벨의 프리차지 전압을 인가하면 모든 데이터 라인들이 특정 레벨로 프리차지 된다.

이를 위해 단락된 영상신호선에 특정 레벨의 프리차지 전압을 인가하기 위한 프리차지 전압 인가부(도시되지 않음)를 구성하여야 한다.

여기서, 상기 고레벨의 프리차지 전압은 소오스 구동부에 의해 프리차지된 전압보다 크며, 상기 저레벨의 프리차지 전압은 상기 소오스 구동부에 의해 프리차지된 전압보다 작다.

이와 같은 본 발명 제 2 실시예에 따른 액정표시장치의 구동방법을 설명하면 다음과 같다.

먼저, 데이터 라인들을 1차적으로 프리차지시키기 위해 스위칭 컨트롤 신호(C_1, C_2, \dots, C_n)들을 동시에 활성화시켜 데이터 라인들과 영상신호선(S_1, S_2, \dots, S_n)들을 전기적으로 연결시킨다.

그리고 영상신호선(S_1, S_2, \dots, S_n)들을 서로 단락시킨 후, 특정 레벨의 프리차지 전압을 인가한다. 따라서, 모든 데이터 라인들이 상기 특정 레벨로 프리차지 된다. 이때, 상기 특정 레벨의 프리차지 전압은 포지티브 필드시 영상신호의 전압과 네가티브 필드시 영상신호의 전압과의 중간 전압이 되도록 한다. 예를 들어, 포지티브 필드시 영상신호의 전압이 6~10V라고 가정하고, 네가티브 필드시 전압이 1~5V라고 가정하면, 상기 특정 레벨의 프리차지 전압은 약 5.5V가 되도록 한다.

이와 같이, 소오스 구동부(65)의 영상신호선(S_1, S_2, \dots, S_n)들을 단락시킨 후, 특정 레벨의 프리차지 전압을 인가하여 1차적으로 데이터 라인들을 프리차지시킨 다음, 스위칭 컨트롤 신호(C_1, C_2, \dots, C_n)을 비활성화시켜 데이터 라인들과 영상신호선(S_1, S_2, \dots, S_n)들을 전기적으로 분리시킨다.

이어서, 프리차지 회로부(67)를 이용하여 2차적으로 데이터 라인들을 프리차지시키는 동작을 수행한다. 참고적으로, 현재 데이터 라인들은 5.5V로 프리차지 되어 있는 상태이다.

먼저, 제 1 프리차지 전압단(Vp1)은 2~3V로, 제 2 프리차지 전압단(Vp2)은 7~8V로 고정시킨다.

이후, 제 1 프리차지 컨트롤 신호(Cp1)를 활성화시키면 홀수번째 데이터 라인에는 제 1 프리차지 전압단(Vp1)의 전압으로 프리차지되고, 짝수번째 데이터 라인에는 제 2 프리차지 전압단(Vp2)의 전압으로 프리차지된다.

이때, 첫번째 게이트 라인과 스위칭 컨트롤 신호(C1,C2,...,Cn)를 활성화시키면, 포지티브 필드시에는 7~8V로 프리차지된 짝수번째 데이터 라인에 영상신호가 실리고, 네가티브 필드시에는 2~3V로 프리차지된 홀수번째 데이터 라인에 영상신호가 실린다.

따라서, 포지티브 필드시 영상신호 전압이 6~10V라고 가정할 때, 짝수번째 데이터 라인의 전압 변화는 2~3V에 불과하다. 그리고 네가티브 필드시 영상신호의 전압이 1~5V라고 가정할 때, 홀수번째 데이터 라인의 전압 변화 또한 역시 2~3V에 불과하다.

이후, 두번째 게이트 라인과 스위칭 컨트롤 신호(C1,C2,...,Cn)를 활성화시켜 해당 화소 전극에 영상신호를 전달하기 위해서는 상기 제 1 프리차지 컨트롤 신호(Cp1)를 비활성화시키고, 제 2 프리차지 컨트롤 신호(Cp2)를 활성화시킨다.

따라서, 홀수번째 데이터 라인에는 제 2 프리차지 전압단(Vp2)의 전압으로, 짝수번째 데이터 라인에는 제 1 프리차지 전압단(Vp1)의 전압으로 프리차지 된다.

이에, 포지티브 필드시에는 7~8V로 프리차지된 홀수번째 데이터 라인에 영상신호가 실리고, 네가티브 필드시에는 2~3V로 프리차지된 짝수번째 데이터 라인에 영상신호가 실리게 된다.

결국, 포지티브 필드시 영상신호 전압이 6~10V라고 가정할 때, 홀수번째 데이터 라인의 전압 변화는 2~3V이며, 네가티브 필드시 영상신호의 전압이 1~5V라고 가정할 때, 짝수번째 데이터 라인의 전압 변화 또한 역시 2~3V에 불과하다.

그리고, 홀수 필드(ODD field)에서와 짝수 필드(EVEN field)에서의 제 1 프리차지 컨트롤 신호(Cp1)와 제 2 프리차지 컨트롤 신호(Cp2)의 활성화 타이밍이 서로 바뀌게 되며, 매 수평 주사선마다 제 1 프리차지 컨트롤 신호(Cp1)와 제 2 프리차지 컨트롤 신호(Cp2)가 교번해서 활성화 된다(도 8a 및 8b 참조).

따라서, 본 발명의 제 2 실시예에 따르면, 영상신호선(S1,S2,...,Sn)들을 단락시켜 데이터 라인들을 1차적으로 프리차지시킨 후, 다시 한번 프리차지 회로부를 이용하여 2차적으로 프리차지 시키므로 데이터 라인에서의 전압 변화의 폭을 매우 작게 할 수 있어 인접한 데이터 라인에 영향을 주지 않게 된다.

제 3 실시예

본 발명 제 3 실시예는 전술한 제 2 실시예의 프리차지 회로부 구성을 변형한 것으로, 제 2 실시예의 프리차지 회로부는 데이터 라인에 공통으로 연결된 제 1, 제 2 스위칭소자를 동일 도전형의 박막트랜지스터로 구성하였으나, 본 발명 제 3 실시예의 프리차지 회로부는 제 1 스위칭소자와 제 2 스위칭소자를 서로 반대 도전형의 박막트랜지스터로 구성하였다.

이를 보다 상세하게 설명하기로 한다.

도 9는 본 발명 제 3 실시예에 따른 프리차지 회로부의 구성도이고, 도 10은 도 9의 프리차지 회로부를 적용한 제 3 실시예에 따른 액정표시장치의 구성도이다.

먼저, 본 발명 제 3 실시예에 따른 프리차지 회로부는 N도전형의 박막트랜지스터로 구성된 제 1 스위칭소자(77a)와, P도전형의 박막트랜지스터로 구성된 제 2 스위칭소자(77b)로 이루어지는 스위칭부(77_1)들을 데이터 라인마다 연결한다.

이때, 홀수번째 데이터 라인에 연결된 제 1 스위칭소자(77a)들은 제 1 프리차지 컨트롤 신호(Cp1)에 의해 제 1 프리차지 전압단(Vp1)의 전압을 스위칭하고, 제 2 스위칭소자(77b)들은 제 2 프리차지 컨트롤 신호(Cp2)의 반전신호에 의해 제 2 프리차지 전압단(Vp2)의 전압을 스위칭한다.

짝수번째 데이터 라인에 연결된 제 1 스위칭 소자(77a)들은 제 2 프리차지 컨트롤 신호(Cp2)에 의해 제 1 프리차지 전압단(Vp1)의 전압을 스위칭하고, 제 2 스위칭소자(77b)들은 제 1 프리차지 컨트롤 신호(Cp1)의 반전신호에 의해 제 2 프리차지 전압단(Vp2)의 전압을 스위칭한다.

여기서, 각 데이터 라인에 연결된 제 2 스위칭소자(77b)들은 해당 프리차지 컨트롤 신호를 반전시키는 인버터(77c)의 출력신호를 받는다.

상기 제 1 스위칭소자(77a)들은 N타입 박막트랜지스터로 구성하고, 제 2 스위칭 소자(77b)들은 P타입 박막트랜지스터로 구성한다.

이와 같은 구조의 프리차지 회로부는 포지티브 필드시 요구되는 높은 프리차지 전압은 P타입 박막트랜지스터를 이용하여 스위칭하고, 네가티브 필드시 요구되는 낮은 프리차지 전압은 N타입의 박막트랜지스터를 이용하여 스위칭한다.

따라서, 전압의 높고 낮음에 따라 P타입 박막트랜지스터와 N타입 박막트랜지스터를 선택적으로 사용함으로써, 박막트랜지스터의 크기를 최적화시키고, 그에 따른 구동전압을 감소시킬 수 있다.

이를 보다 상세하게 설명하기로 한다.

도 10은 도 9에 도시된 프리차지 회로부를 적용한 본 발명 제 3 실시예에 따른 액정표시장치의 구성도이다.

도 10에서와 같이, 교차 배치되는 복수개의 게이트 라인(G1, G2, ..., Gn)들 및 데이터 라인(D1, D2, ..., Dn)들을 갖고, 각 교차점에 박막트랜지스터(TFT) 및 액정커패시터(C_{LC})가 구성되는 화소부(71), 상기 게이트 라인들에 순차적으로 구동신호를 인가하는 게이트 구동부(73), 다수의 데이터 라인들을 한 쌍으로 하여 데이터 라인쌍을 구성하고, 각각의 데이터 라인쌍에 순차적으로 영상신호를 인가하는 영상신호선(S1, S2, ..., Sn)을 구비한 소오스 구동부(75), 제 1, 제 2 프리차지 전압단(Vp1, Vp2)을 구비하며, 각각의 데이터 라인에 대해 포지티브 필드시 요구되는 높은 프리차지 전압과 네가티브 필드시 요구되는 낮은 프리차지 전압을 별도의 스위칭소자를 사용하여 스위칭하는 스위칭부로 구성된 프리차지 회로부(77)를 포함한다.

여기서, 홀수번째 데이터 라인과 짝수번째 데이터 라인은 서로 다른 전압으로 프리차지된다.

프리차지 회로부(77)는 각각의 데이터 라인마다 병렬로 연결된 제 1 스위칭소자(77a)들과 제 2 스위칭 소자(77b)들로 구성된 스위칭부(71_1, 71_2, ..., 71_n)들을 포함하며, 상기 스위칭소자들은 서로 반대 도전형의 박막트랜지스터로 구성한다.

여기서, 제 1 스위칭소자(77a)들은 N타입 박막트랜지스터이고, 제 2 스위칭소자(77b)들은 P타입 박막트랜지스터이다, 그리고 제 2 스위칭 소자(77b)들은 해당 프리차지 컨트롤 신호를 반전시키는 인버터(77c)의 출력신호에 의해 동작한다.

상기 각각의 데이터 라인쌍에 속하는 데이터라인들은 박막트랜지스터들에 의해 해당 영상신호선과 공통으로 스위칭된다. 예를들어, 첫번째 데이터 라인쌍은 영상신호선 S1과 스위칭되고, 두번째 데이터 라인쌍은 영상신호선 S2와 스위칭된다. 이때 데이터 라인들과 영상신호선과의 스위칭 여부는 스위칭 컨트롤 신호(C1, C2, ..., Cn)에 의해 결정된다.

상기 소오스 구동부(75)는 데이터 라인쌍에 상응하여 영상신호선을 구비하며, 각각의 영상신호선들은 외부적인 제어에 의해 서로 단락시키거나 오픈 시킬 수 있다.

따라서, 상기 영상신호를 데이터 라인에 인가하기 이전에 상기 영상신호선들을 서로 단락시키면 화소부(71)내 모든 데이터 라인들이 서로 단락상태가 된다.

이때, 단락된 영상신호선에 특정 레벨의 프리차지 전압을 인가하면 모든 데이터 라인들이 특정 레벨로 프리차지된다.

이를 위해 단락된 영상신호선에 특정 레벨의 프리차지 전압을 인가하기 위한 프리차지 전압 인가부(도시되지 않음)를 구성하여야 한다.

이와 같이 구성된 본 발명 제 3 실시예에 따른 액정표시장치의 구동방법을 설명하면 다음과 같다.

먼저, 데이터 라인들을 1차적으로 프리차지 시키기 위해 스위칭 컨트롤 신호($C1, C2, \dots, Cn$)들을 동시에 활성화시켜 데이터 라인들과 영상신호선($S1, S2, \dots, Sn$)들을 전기적으로 연결시킨다.

그리고 영상신호선($S1, S2, \dots, Sn$)들을 서로 단락시킨 후, 특정 레벨의 프리차지 전압을 인가한다. 따라서, 모든 데이터 라인들이 상기 특정 레벨로 프리차지 된다. 이때, 상기 특정 레벨의 프리차지 전압은 포지티브 필드시 영상신호의 전압과 네가티브 필드시 영상신호의 전압과의 중간 전압이 되도록 한다. 예를 들어, 포지티브 필드시 영상신호 전압이 6~10V라고 가정하고, 네가티브 필드시 영상신호 전압이 1~5V라고 가정하면(단, 액정의 종류에 따라 상기 전압범위는 가변됨), 상기 특정 레벨의 프리차지 전압은 약 5.5V가 된다.

이와 같이, 소오스 구동부(75)의 영상신호선($S1, S2, \dots, Sn$)들을 단락시킨 후, 특정 레벨의 프리차지 전압을 인가하여 1차적으로 데이터 라인들을 프리차지시킨 다음, 스위칭 컨트롤 신호($C1, C2, \dots, Cn$)를 비활성화시켜 데이터 라인들과 영상신호선($S1, S2, \dots, Sn$)들을 전기적으로 분리시킨다.

이어서, 프리차지 회로부(77)를 이용하여 2차적으로 데이터 라인들을 프리차지 시키는 동작을 수행한다. 참고적으로, 현재 데이터 라인들은 5.5V로 프리차지 되어 있는 상태이다.

먼저, 제 1 프리차지 전압단($Vp1$)은 2~3V로, 제 2 프리차지 전압단($Vp2$)은 7~8V로 고정시킨다.

이후, 제 1 프리차지 컨트롤 신호($Cp1$)를 하이(high) 레벨로 활성화시키고, 제 2 프리차지 컨트롤 신호($Cp2$)를 로우(low) 레벨로 비활성화시키면, 홀수번째 데이터 라인에는 제 1 프리차지 전압단($Vp1$)의 전압이 제 1 스위칭소자(77a)를 통해 프리차지되고, 짝수번째 데이터 라인에는 제 2 프리차지 전압단($Vp2$)의 전압이 제 2 스위칭소자(77b)들을 통해 프리차지 된다.

이때, 첫번째 게이트 라인과 스위칭 컨트롤 신호($C1, C2, \dots, Cn$)를 활성화시키면, 포지티브 필드시에는 7~8V로 프리차지된 짝수번째 데이터 라인에 영상신호가 실리고, 네가티브 필드시에는 2~3V로 프리차지된 홀수번째 데이터 라인에 영상신호가 실린다.

따라서, 포지티브 필드시 영상신호 전압이 6~10V라고 가정할 때, 짝수번째 데이터 라인의 전압 변화는 2~3V에 불과하고, 네가티브 필드시 영상신호의 전압이 1~5V라고 가정할 때 홀수번째 데이터 라인의 전압 변화 역시 2~3V에 불과하다.

이후, 두번째 게이트 라인과 스위칭 컨트롤 신호($C1, C2, \dots, Cn$)를 활성화시켜 해당 화소 전극에 영상신호를 전달하기 위해서는 상기 제 1 프리차지 컨트롤 신호($Cp1$)를 로우 레벨로 비활성화시키고, 제 2 프리차지 컨트롤 신호($Cp2$)를 하이 레벨로 활성화시킨다.

따라서, 홀수번째 데이터 라인에는 제 2 프리차지 전압단(V_{p2})의 전압이 제 2 스위칭 소자(77b)들을 통해 프리차지되고, 짝수번째 데이터 라인에는 제 1 프리차지 전압단(V_{p1})의 전압이 제 1 스위칭 소자(77a)들을 통해 각각 프리차지된다.

이에, 포지티브 필드시에는 7~8V로 프리차지된 홀수번째 데이터 라인에 영상신호가 실리게 되고, 네가티브 필드시에는 2~3V로 프리차지된 짝수번째 데이터 라인에 영상신호가 실리게 된다.

결국, 포지티브 필드시 영상신호 전압이 6~10V라고 가정할 때, 홀수번째 데이터 라인의 전압 변화는 2~3V에 불과하고, 네가티브 필드시 영상신호의 전압이 1~5V라고 가정할 때 짝수번째 데이터 라인의 전압 변화 역시 2~3V에 불과하다.

이와 같은 본 발명의 제 3 실시예에서는 홀수 필드에서와 짝수 필드에서의 제 1 프리차지 컨트롤 신호(C_{p1})와 제 2 프리차지 컨트롤 신호(C_{p2})의 활성화 타이밍을 서로 다르게 하며, 매 수평 주사선마다 제 1 프리차지 컨트롤 신호(C_{p1})와 제 2 프리차지 컨트롤 신호(C_{p2})를 교번해서 활성화시킨다(도 11a 및 11b 참조).

따라서, 본 발명의 제 3 실시예에 따르면 영상신호선(S_1, S_2, \dots, S_n)들을 단락시켜 데이터 라인들을 1차적으로 프리차지시킨 후, 다시 한 번 프리차지 회로부(77)를 이용하여 프리차지 시키는데, 포지티브 필드시 요구되는 높은 프리차지 전압은 P타입 박막트랜지스터를 이용하여 데이터 라인에 인가하고, 네가티브 필드시 요구되는 낮은 프리차지 전압은 N타입의 박막트랜지스터를 이용하여 데이터 라인에 인가한다.

발명의 효과

이상에서 상술한 바와 같이, 본 발명의 액정표시장치 및 그 구동방법은 다음과 같은 효과가 있다.

첫째, 데이터 라인의 프리차지(Precharge)를 다중으로 실시하여 데이터 라인의 전압 변동의 폭을 최소화함으로써, 인접한 데이터 라인간의 신호 커플링에 의한 영상신호의 왜곡을 방지할 수 있다.

둘째, 포지티브 필드시 요구되는 프리차지 전압과 네가티브 필드시 요구되는 프리차지 전압을 보다 손쉽게 스위칭할 수 있다.

셋째, 프리차지 전압의 높고 낮음에 따라 최적화된 크기의 스위칭소자를 사용하므로 스위칭소자의 사이즈 및 구동전압을 감소시킬 수 있다.

(57) 청구의 범위

청구항 1.

제 1 기판과 제 2 기판, 그 사이에 액정이 봉입된 액정표시장치에 있어서,

상기 제 1 기판상에 교차 배치되는 복수의 게이트 라인들과 데이터 라인들;

상기 게이트 라인들을 구동시키는 게이트 구동부;

상기 데이터 라인들의 1차 프리차지 및 영상신호의 공급을 담당하는 소오스 구동부;

상기 프리차지된 데이터 라인을 2차적으로 프리차지시키는 프리차지 회로부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서, 상기 1차 프리차지는 상기 데이터 라인들을 단락시켜 특정 레벨의 프리차지 전압을 인가하는 것에 의해 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서, 상기 프리차지 회로부는 복수개의 프리차지 전압단과,

상기 복수개의 프리차지 전압단 중 임의의 전압을 해당 데이터라인에 선택적으로 인가하는 스위칭부로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 3 항에 있어서, 상기 스위칭부는 트랜지스터로 구성되며 프리차지 컨트롤 신호에 의해 제어되는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 1 기판과 제 2 기판, 그 사이에 액정이 봉입된 액정표시장치에 있어서,

상기 제 1 기판상에 교차 배치되는 복수의 게이트 라인들과 데이터 라인들;

상기 게이트 라인들을 구동시키는 게이트 구동부;

상기 데이터 라인의 1차 프리차지 및 영상신호의 공급을 담당하는 소오스 구동부;

인접한 데이터 라인들에 서로 다른 프리차지 전압을 공급하여 2차 프리차지 시키는 프리차지 회로부를 포함하여 구성되는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 5 항에 있어서, 상기 인접한 데이터 라인들에 공급되는 서로 다른 프리차지 전압 중 하나는 상기 1차 프리차지 전압 보다 작고, 다른 하나는 더 큰 것을 특징으로 하는 액정표시장치.

청구항 7.

제 5 항에 있어서, 상기 프리차지 회로부는 저전압이 인가되는 제 1 프리차지 전압단과,

고전압이 인가되는 제 2 프리차지 전압단과,

홀수번째 데이터 라인들과 상기 제 1 프리차지 전압단을 스위칭하는 제 1 스위칭부들과,

짝수번째 데이터 라인들과 상기 제 2 프리차지 전압단을 스위칭하는 제 2 스위칭부들을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 7 항에 있어서, 상기 제 1 스위칭부와 상기 제 2 스위칭부는 동일한 프리차지 컨트롤 신호에 의해 동작하거나 또는 별도의 프리차지 컨트롤 신호에 의해 동작하는 것을 특징으로 하는 액정표시장치.

청구항 9.

제 7 항에 있어서, 상기 제 1 스위칭부와 상기 제 2 스위칭부는 박막트랜지스터로 구성하는 것을 특징으로 하는 액정표시장치.

청구항 10.

제 1 기판과 제 2 기판, 그 사이에 액정이 봉입된 액정표시장치에 있어서,

상기 제 1 기판상에 교차 배치되는 복수의 게이트 라인들과 데이터 라인들;

상기 데이터 라인의 1차 프리차지 및 영상신호의 공급을 담당하는 소오스 구동부;

상기 각 데이터 라인마다 연결되며 고레벨의 프리차지 전압과 저레벨의 프리차지 전압을 교번하여 상기 데이터 라인으로 스위칭하는 스위칭소자들로 구성된 프리차지 회로부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11.

제 10 항에 있어서, 상기 고레벨의 프리차지 전압은 상기 1차 프리차지 전압보다 크며, 상기 저레벨의 프리차지 전압은 상기 1차 프리차지 전압보다 작은 것을 특징으로 하는 액정표시장치.

청구항 12.

제 10 항에 있어서, 상기 스위칭에 의해 전압이 프리차지 되는 데이터 라인들 중 인접한 데이터 라인들은 서로 다른 레벨의 전압으로 프리차지 되는 것을 특징으로 하는 액정표시장치.

청구항 13.

제 10 항에 있어서, 상기 프리차지 회로부는 저레벨의 프리차지 전압을 인가하는 제 1 프리차지 전압단과,

고레벨의 프리차지 전압을 인가하는 제 2 프리차지 전압단을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 14.

제 13 항에 있어서, 상기 제 1 프리차지 전압단의 전압 레벨과 상기 제 2 프리차지 전압단의 전압 레벨은 매 수평 주사 라인마다 서로 반전되는 것을 특징으로 하는 액정표시장치.

청구항 15.

제 10 항에 있어서, 상기 스위칭소자들 중 홀수번째 데이터 라인에 연결된 스위칭소자들은 소오스가 상기 제 1 프리차지 전압단에 연결되고 드레인 데이터 라인에 연결되며 제 1 프리차지 컨트롤 신호에 의해 동작하는 제 1 박막트랜지스터와,

소오스가 상기 제 2 프리차지 전압단에 연결되고 드레인 데이터 라인에 연결되며 제 1 박막트랜지스터의 드레인과 연결되며 제 2 프리차지 컨트롤 신호에 의해 동작하는 제 2 박막트랜지스터로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 16.

제 10 항에 있어서, 상기 스위칭소자들 중 짝수번째 데이터 라인에 연결된 스위칭소자들은 소오스가 상기 제 2 프리차지 전압단에 연결되고 드레인 데이터 라인에 연결되며 제 1 프리차지 컨트롤 신호에 의해 동작하는 제 1 박막트랜지스터와,

소오스가 상기 제 1 프리차지 전압단에 연결되고 드레인에는 상기 제 1 박막트랜지스터의 드레인에 연결되며 제 2 프리차지 컨트롤 신호에 의해 동작하는 제 2 박막트랜지스터로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 17.

제 15 항 또는 제 16 항에 있어서, 상기 제 1, 제 2 박막트랜지스터는 N도전형인 것을 특징으로 하는 액정표시장치.

청구항 18.

제 10 항에 있어서, 상기 스위칭소자들 중 홀수번째 데이터 라인에 연결된 스위칭소자들은 소오스가 제 1 프리차지 전압단에 연결되고 드레인에는 데이터 라인에 연결되며 제 1 프리차지 컨트롤 신호에 의해 동작하는 제 1 박막트랜지스터와,

소오스가 제 2 프리차지 전압단에 연결되고 드레인에는 상기 제 1 박막트랜지스터의 드레인에 연결되며 제 2 프리차지 컨트롤 신호의 반전신호에 의해 동작하는 제 2 박막트랜지스터와,

상기 제 2 프리차지 컨트롤 신호를 반전시키는 인버터를 포함하여 구성되는 것을 특징으로 하는 액정표시장치.

청구항 19.

제 10 항에 있어서, 상기 스위칭소자들 중 짝수번째 데이터 라인에 연결된 스위칭소자들은 소오스가 제 1 프리차지 전압단에 연결되고 드레인에는 데이터 라인에 연결되며 제 2 프리차지 컨트롤 신호에 의해 동작하는 제 1 박막트랜지스터와,

소오스가 제 2 프리차지 전압단에 연결되고 드레인에는 상기 제 1 박막트랜지스터의 드레인에 연결되며 제 1 프리차지 컨트롤 신호의 반전신호에 의해 동작하는 제 2 박막트랜지스터와,

상기 제 1 프리차지 컨트롤 신호를 반전시키는 인버터로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 20.

제 18 항 또는 제 19 항에 있어서, 상기 제 1 박막트랜지스터는 N도전형이고, 상기 제 2 박막트랜지스터는 P도전형인 것을 특징으로 하는 액정표시장치.

청구항 21.

액정표시장치의 데이터 라인 프리차지 방법에 있어서,

상기 데이터 라인들을 서로 단락시켜 1차 프리차지시키는 제 1 단계;

상기 1차 프리차지된 전압보다 작은 프리차지 전압과 큰 프리차지 전압을 수평 주사라인 활성화시마다 각 데이터 라인에 교번하여 인가하는 것에 의해 2차 프리차지 시키는 제 2 단계를 포함하여 이루어지는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 22.

제 21 항에 있어서, 상기 제 2 단계에서, 인접한 데이터 라인에는 서로 다른 레벨의 프리차지 전압을 인가하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 23.

제 21 항에 있어서, 임의의 한 데이터 라인에 1차 프리차지된 전압보다 작은 프리차지 전압과 큰 프리차지 전압을 교번하여 인가하는 경우, 동일한 스위칭 소자를 이용하거나 별도의 스위칭소자를 이용하는 것을 특징으로 하는 액정표시장치의 구동방법.

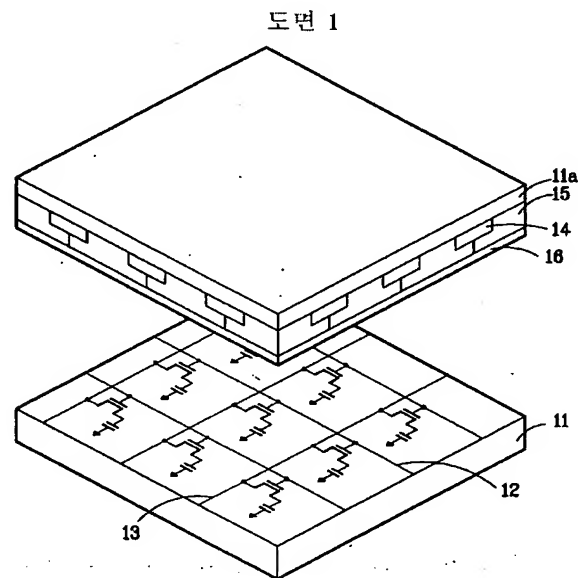
청구항 24.

제 23 항에 있어서, 상기 동일한 스위칭소자를 사용할 경우, 상기 작은 프리차지 전압과 큰 프리차지 전압은 수평 주사 라인이 활성화될 때마다 교번하여 스위칭하는 것을 특징으로 하는 액정표시장치의 구동방법.

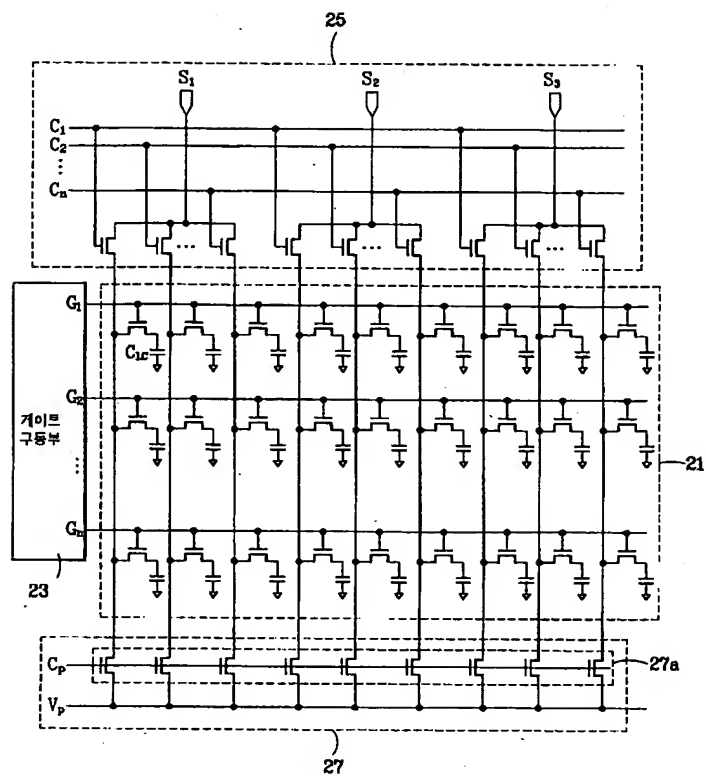
청구항 25.

제 23 항에 있어서, 상기 별도의 스위칭소자를 사용할 경우, 해당 스위칭소자를 동작시키는 컨트롤 신호를 교번하여 활성화시키는 것을 특징으로 하는 액정표시장치의 구동방법.

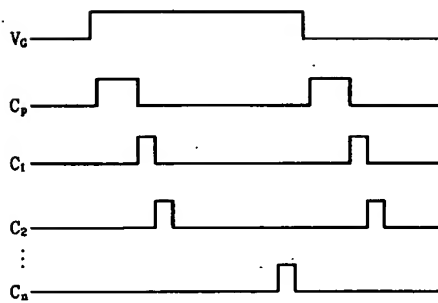
도면



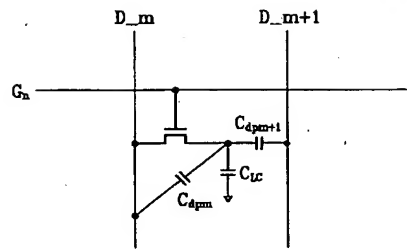
도면 2



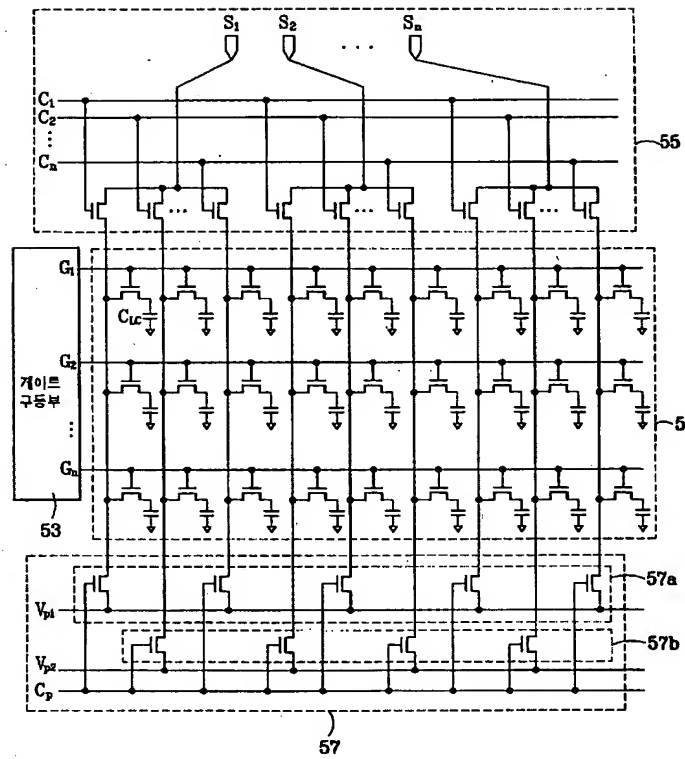
도면 3



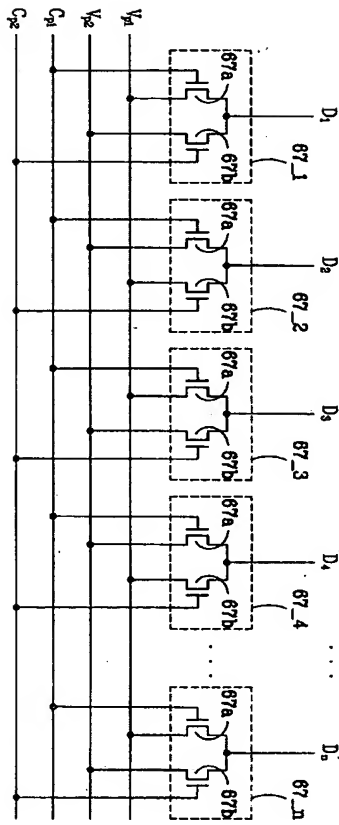
도면 4



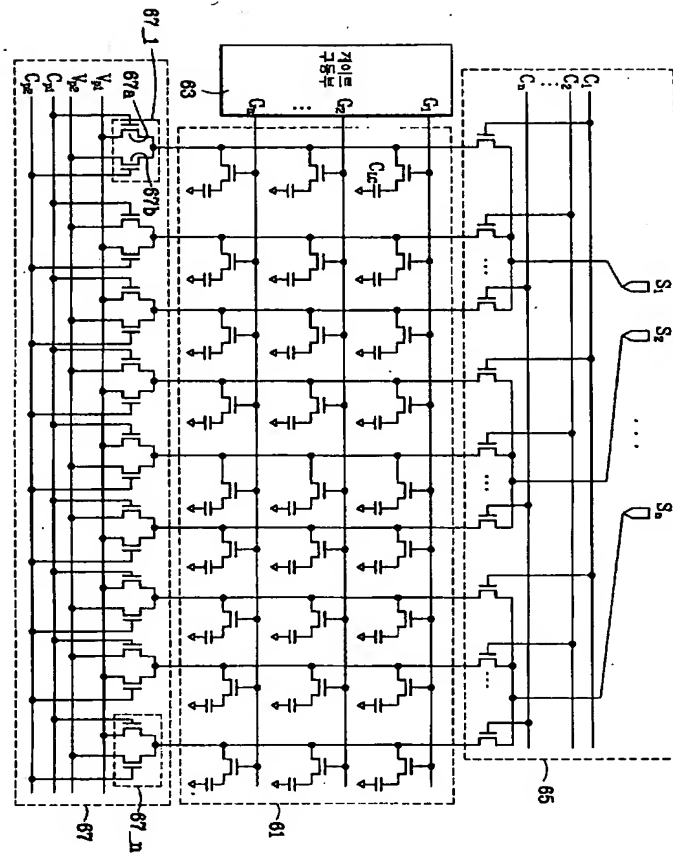
도면 5



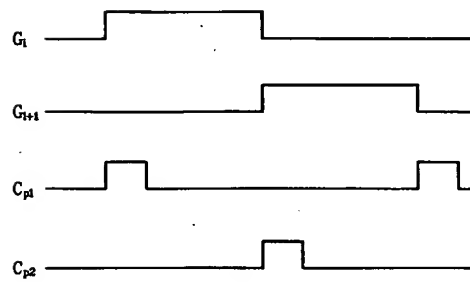
도면 6



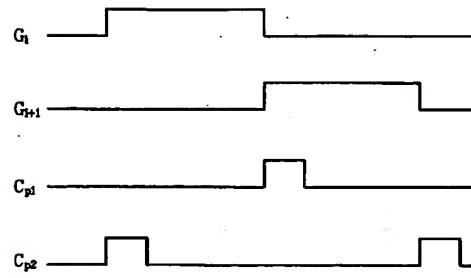
도면 7



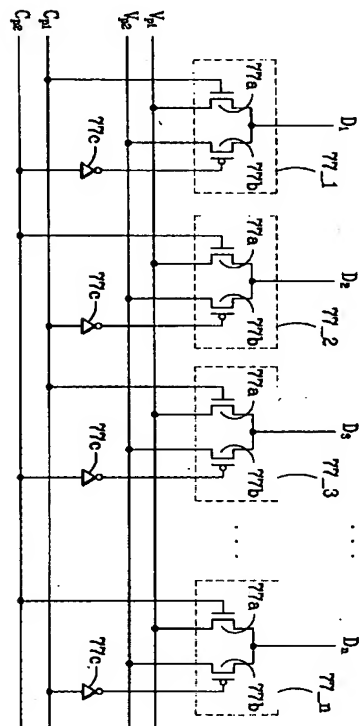
도면 8a



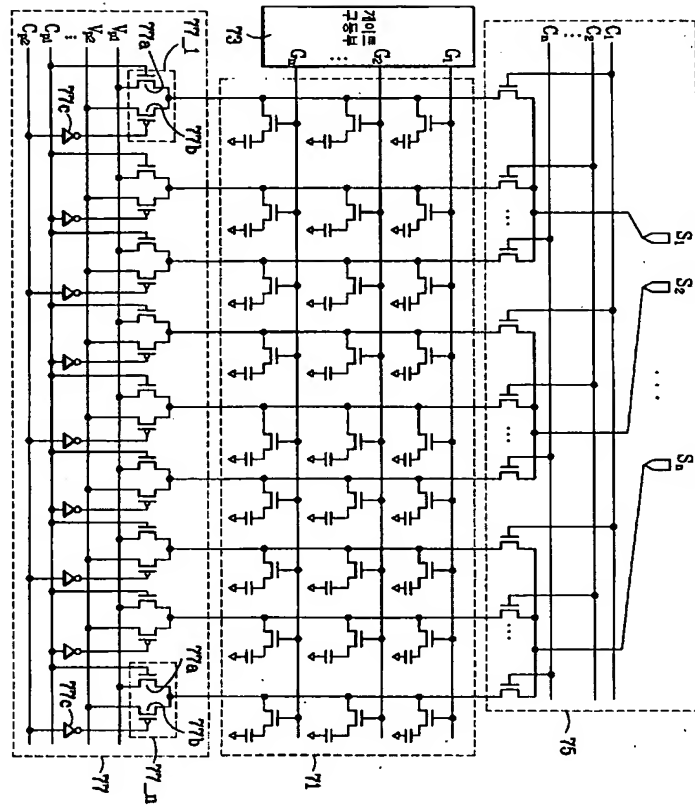
도면 8b



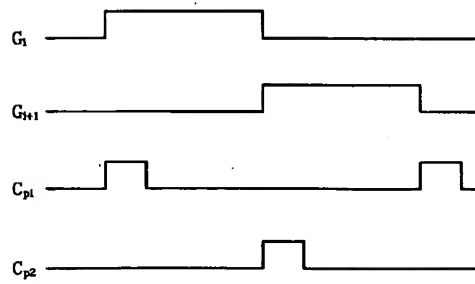
도면 9



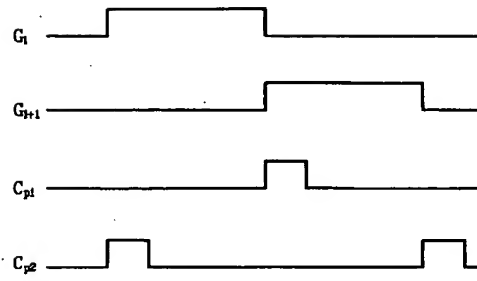
도면 10



도면 11a



도면 11b



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.